

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 2 3 6 9 3 7

(43) 公開日 平成 6 年 (1994) 8 月 23 日

(51) Int. Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 23/12	3 0 1 C	9355-4 M		
		Z 9355-4 M		
H 0 1 P 1/00	Z			
5/02	A	8941-5 J		

審査請求 未請求 請求項の数 3

OL

(全 5 頁)

(21) 出願番号 特願平 5-22823

(22) 出願日 平成 5 年 (1993) 2 月 10 日

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目 5 番 33 号

(72) 発明者 関口 剛

神奈川県横浜市栄区田谷町 1 番地 住友電

気工業株式会社横浜製作所内

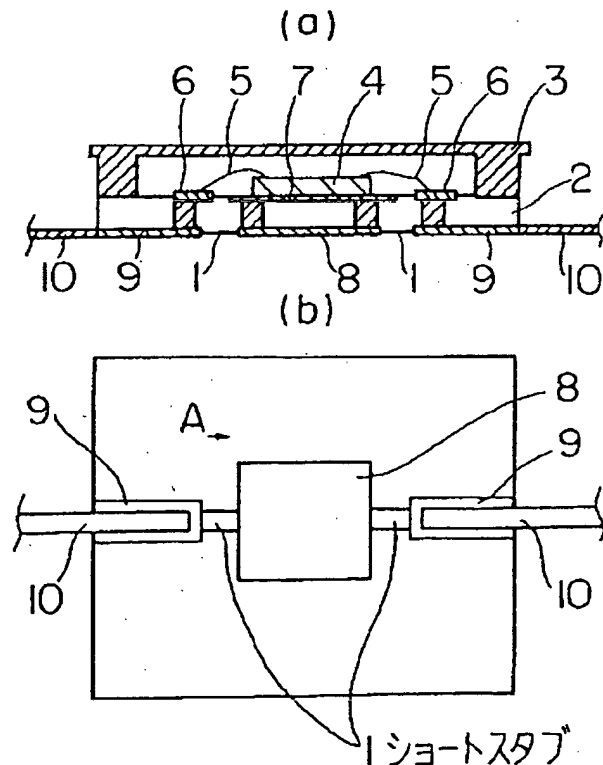
(74) 代理人 弁理士 長谷川 芳樹 (外 3 名)

(54) 【発明の名称】 マイクロ波半導体装置用パッケージ

(57) 【要約】

【目的】 内部に実装されるチップを静電破壊から保護する構造のマイクロ波半導体装置用パッケージを提供する。

【構成】 セラミック基板 2 の略中央部にチップ 4 をマウントするダイエリア 7 を形成し、その裏面部にはダイエリア 7 と導通する接地板 8 を設ける。そして、この接地板 8 に、使用するマイクロ波信号の $1/4$ 波長の長さのショートスタブ 1 を介してリードフレーム 9 を電気的に接続し、外部リード線 10 から入力する静電気等をこのショートスタブ 1 を介して接地板 8 で放電させる構造とした。



【特許請求の範囲】

【請求項1】 マイクロ波信号が伝播する入出力端子を有するマイクロ波半導体装置用パッケージにおいて、前記入出力端子の各端部に、夫々前記マイクロ波信号波長の略 $(2n+1)/4$ 倍 (n は整数) の長さのショートスタブを設けたことを特徴とするマイクロ波半導体装置用パッケージ。

【請求項2】 その略中央部にマイクロ波半導体装置チップが実装される平板状をなし、裏面部には前記チップと外部リード線との導通をとるリードフレームが形成されたマイクロ波半導体装置用パッケージにおいて、前記リードフレームの先端に、使用するマイクロ波信号波長の略 $(2n+1)/4$ 倍 (n は整数) の長さのショートスタブを設けたことを特徴とするマイクロ波半導体装置用パッケージ。

【請求項3】 前記ショートスタブの接地先が、接地電位であり、且つ、前記チップをマウントするダイエリア又はこのダイエリアと電気的に接続された所定の金属パターンであることを特徴とする請求項1又は2記載のマイクロ波半導体装置用パッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、モノリシックマイクロ波集積回路 (monolithic microwave integrated circuit、以下、MMICと略称する) 等、マイクロ波半導体装置を実装するためのパッケージの構造に関する。

【0002】

【従来の技術】 近年、マイクロ波帯の半導体装置チップ (以下、単にチップと称する) の実装を目的としたパッケージは、チップの高集積・多機能・高速化に対応して、材料・構造面で大きく変革している。

【0003】 例えば、材料面では、チップの発熱を考慮して、熱放散性、熱伝導性に優れ、且つチップ材料とほぼ同一の熱膨張率を有するSiC、AlN等のセラミック材料が用いられ、その構造も、例えばフラットパッケージ (flat package) のように、略正方形の小形薄板の周辺にろう付けされた高電導薄膜から成る複数のリード線が、中央部のチップに対してほぼ均等の長さで夫々配され、インピーダンス整合の容易化と伝送損失の低減化が図られているものもある。

【0004】 より一般的な構造としては、直流から高周波まで広帯域でインピーダンス整合がとれ、且つ、伝送損失が小さくなるように設計された入出力端子がセラミック面上に形成されている。そして、これら入出力端子とチップ各部、あるいは外部端子との間を配線することでマイクロ波信号がチップを含んで構成される電子回路内を伝播するようになっている。

【0005】

【発明が解決しようとする課題】 このように、従来のパッケージは、広帯域で使用可能な構造に設計されてお

り、そのため、チップが実装されたマイクロ波半導体装置を他のマザーボード等にマウントしたり、他の電子部品と接続する際に、マザーボードの配線部材あるいは電気的接続を行う他の電子部品に静電気が蓄積されていると、その静電気がリード線を介してパッケージ内に導かれ、当該パッケージ内のチップが静電破壊されるという問題があった。

【0006】 本発明は、かかる問題点に鑑みてなされたもので、その目的とするところは、内部チップを静電破壊から保護する構造のマイクロ波半導体装置用パッケージを提供することにある。

【0007】

【課題を解決するための手段】 上記目的を達成する本発明の構成は、マイクロ波信号が伝播する入出力端子を有するマイクロ波半導体装置用パッケージにおいて、前記入出力端子の各端部に、夫々前記マイクロ波信号波長の略 $(2n+1)/4$ 倍 (n は整数) の長さのショートスタブを設けたことを特徴としている。

【0008】 本発明の他の構成は、その略中央部にマイクロ波半導体装置チップが実装される平板状をなし、裏面部には前記チップと外部リード線との導通をとるリードフレームが形成されたマイクロ波半導体装置用パッケージにおいて、前記リードフレームの先端に、使用するマイクロ波信号波長の略 $(2n+1)/4$ 倍 (n は整数) の長さのショートスタブを設けたことを特徴としている。

【0009】 上記各構成において、ショートスタブの接地先は、接地電位であり、且つ、前記チップをマウントするダイエリア又はこのダイエリアと電気的に接続された所定の金属パターンとする。

【0010】

【作用】 ショートスタブは、一の伝送線路の途中に接続された他の伝送線路のうち、その負荷端が短絡されたものをいい、負荷端までの長さが使用マイクロ波信号の波長の $(2n+1)/4$ 倍 (n は整数) のときは、接続点からみたインピーダンスが無限大、即ち、開放された状態となる (日本包装出版協会、「高周波回路の設計と実装」、p43~p47参照)。従って、ほぼこのような長さのショートスタブを入出力端子に設けると、当該周波数のマイクロ波信号はショートスタブの方に伝送しにくくなるので、伝送損失が殆ど無く、且つ、インピーダンス整合も容易となる。他方、当該周波数以外の成分の信号に対しては、接続点からみたインピーダンスが所定値となる。従って、不要周波数の信号はこのショートスタブにより減衰され、伝送信号のフィルタがかかる。

【0011】 また、パッケージが平板状のものでは、使用周波数にも依存するが、上記ショートスタブのための特別なスペースを用意する必要がなく、また、性能的にも、ダイエリアの接地電位が極めて安定なものに設計されるため、フィルタとしての性能も安定したものが得ら

れる。

【0012】なお、ショートスタブの接地先が、接地電位のダイエリア又は所定の金属パターンであるときは、静電気の蓄積が無く、パッケージ内部のチップに影響を及ぼさない。

【0013】

【実施例】次に、図面を参照して本発明の実施例を詳細に説明する。

【0014】図1(a)は本発明の一実施例に係るフラットパッケージの側断面図、(b)は裏面図である。図中、1はショートスタブ、2はセラミック基板、3はキャップ、4はチップ、5は内部リード線、6はリード端子、7はダイエリア、8は接地板、9はリードフレーム、10は外部リード線を表す。

【0015】ショートスタブ1は使用するマイクロ波信号の1/4倍の波長の長さを有しており、夫々その一端が接地板8、他端がリードフレーム9と電気的に接続されている。また、リードフレーム9には、外部リード線10と、リード端子6及び導電部材を経由した内部リード線5とが夫々導通している。

【0016】セラミック基板2は、400[μm]の厚みを有するアルミナ平板を用い、ダイエリア7及びリード端子6の形成箇所に導電部材を貫通させるための孔部(パイアホール)が形成されている。

【0017】ダイエリア7は実装時にチップ4をマウントするもので、導電部材を介して接地板8と電気的に接続されている。接地板8は図示のような矩形状の外、ダイエリア7をシールドする格子状あるいは他の金属パターンであっても良い。

【0018】この構成のフラットパッケージにおいて、図1(a)のA点から接地板8をみたインピーダンスは、使用周波数成分については無限大、その他の信号成分については、当該信号の周波数で定まる所定値を呈する。即ち外部リード線10から導かれたマイクロ波信号のうち、使用周波数成分については、ショートスタブ1の方に伝播しないので、伝送損失が殆ど無く、且つ、インピーダンス整合も確実にとられる。他方、当該周波数以外の成分の信号、例えば、雑音成分や静電気は、ショ*

*ートスタブ1により減衰されるので、伝送信号のフィルタがかかる。同時にこの信号は接地板8にて放電される。従って、静電気や雑音等の成分が内部リード線5の方に伝播しないので、チップ4に影響を及ぼさず、静電破壊が防止される。

【0019】図2は本実施例によるマイクロ波半導体装置用パッケージの特性試験等価回路図であり、50Ωの純抵抗信号源20の負端子を接地ラインAGROUNDに接続すると共に、その正端子から12[GHz]のマイクロ波信号をマイクロストリップ線路21の入力端子に導いている。マイクロストリップ線路21の出力はA点を介して二分岐され、一方は測定器22の正端子、他方はショートスタブ23の入力端子に夫々導かれる。測定器22は50Ω系の純抵抗測定器であり、その負端子及びショートスタブ23の出力端子は夫々接地ラインAGROUNDに接続されている。

【0020】マイクロストリップ線路21及びショートスタブ23は、厚さ40[μm]のアルミナ基板上に形成された比誘電率εr 9.6、コンダクタンス4.1E7の誘電体薄膜から成り、前者は長さ1000[μm]で幅が400[μm]、後者は長さが2500[μm]で幅が400[μm]のものとする。また、各誘電体膜の厚みは8[μm]とする。

【0021】この構成にてSパラメータ特性とVSWR(定在波比)遷移を測定したところ、図3(a)(b)のようなフィルタ特性図が得られた。図3(a)の縦軸はS21(出力側インピーダンス)であり、最大値を0としたときのdB値で示してある。また、図3(b)の縦軸は図2の信号源21側における電圧定在波比VSWR1である。

【0022】これらの図を参照すると、S21は、使用周波数12[GHz]のときに最大であり、その値は-0.018dBであった。また、このときのVSWR1は最小であり、その値は1.033であった。なお、VSWR1の値は入力側インピーダンスをS11とすると次式により求めることができる。

【0023】

【数1】

$$VSWR1 = (1 + \text{mag}(S11)) / (1 - \text{mag}(S11))$$

【0024】このように、使用周波数(12[GHz])については、ショートスタブ23の存在を無視することができるので、使用周波数については殆ど損失なくマイクロ波信号を送送でき、しかも、インピーダンス整合も実現することができる。他方、それ以外の周波数の信号についてはフィルタがかかるので、チップ実装後のマイクロ波半導体装置の低雑音化が図れる。

【0025】また、図1のような構成のパッケージでは、ショートスタブ1のための特別なスペースを用意す

る必要がないので、既存のパッケージの僅かな設計変更により本発明を実施することができる。しかも、この種のパッケージでは、通常、ダイエリア7の接地電位は極めて安定なものに設計されるので、フィルタとしての性能も安定したものが得られる。

【0026】なお、本実施例では、フラットパッケージの例について説明したが、ピングリッドアレーパッケージやチップキャリアのような、他の平板状パッケージについても同様に適用することができ、上記効果が得られ

5

る。また、ショートスタブ1(23)の長さは、図2のA点からみたインピーダンスが極めて大きくなれば良いので、使用するマイクロ波信号の波長の略 $(2n+1)/4$ 倍(n は整数)であっても良い。

【0027】更に、この発明は、広帯域での使用を前提とした入出力端子を有するパッケージについても適用することができる。この場合は、各端部に上記ショートスタブ1(23)を設けることで、上記フィルタ効果が得られ、インピーダンス整合も容易となる。

【0028】

【発明の効果】以上詳細に説明したように、本発明では、マイクロ波信号が伝播する入出力端子の各端部に、夫々マイクロ波信号波長の略 $(2n+1)/4$ 倍(n は整数)の長さのショートスタブを設けたので、使用するマイクロ波信号の周波数については殆ど損失なく伝送し得る一方、静電気等の不要信号についてはショートスタブにより減衰ないし放電され、パッケージ内部に伝送されにくくなる効果がある。これにより、内部半導体チップの破壊が防止され、従来の問題点が解消される。

【0029】本発明では、また、その略中央部にマイクロ波半導体装置チップが実装される平板状をなし、裏面

10

部においては、リードフレームの先端に前述のショートスタブを設けるようにしたので、上記効果がより顕著になると共に、従来構造の設計変更量が上記構成の場合よりも少なくなる。

【0030】なお、上記ショートスタブの接地先を接地電位のダイエリア又はこのダイエリアと電気的に接続された所定の金属パターンとすることで、不要信号が直ちに放電され、フィルタしての特性が安定すると共に、チップ実装後のマイクロ波半導体装置の雑音が低減する効果がある。

【図面の簡単な説明】

【図1】(a)は本発明の一実施例に係るフラットパッケージの側断面図、(b)はその裏面図。

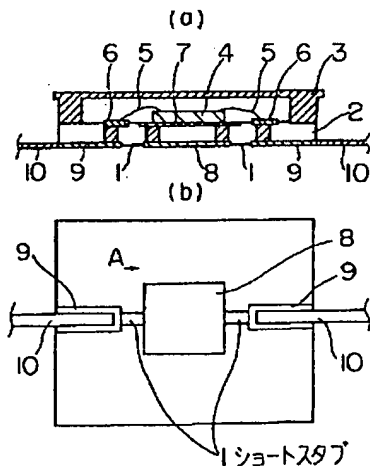
【図2】本実施例のフラットパッケージの特性試験の等価回路を示す図。

【図3】(a)は上記試験により得られたSパラメータ特性、(b)はVSWR遷移を示す図。

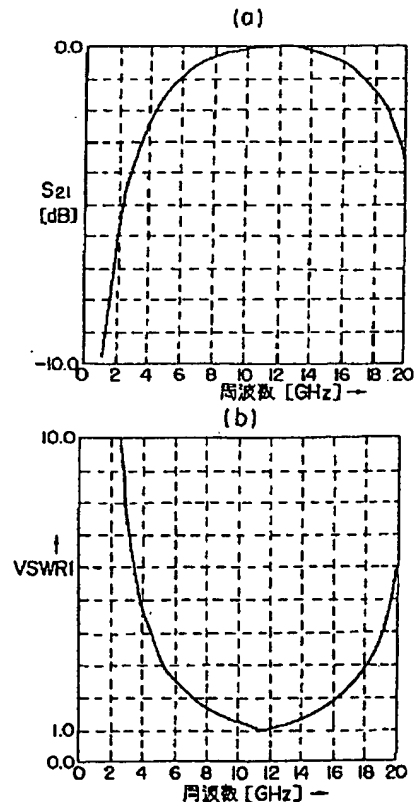
【符号の説明】

1…ショートスタブ、2…セラミック基板、3…キャップ、4…チップ(マイクロ波半導体装置チップ)、5…内部リード線、6…リード端子、7…ダイエリア、8…接地板(所定の金属パターン)、9…リードフレーム、10…外部リード線。

【図1】



【図3】



【図2】

